

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 3 月 7 日 (07.03.2002)

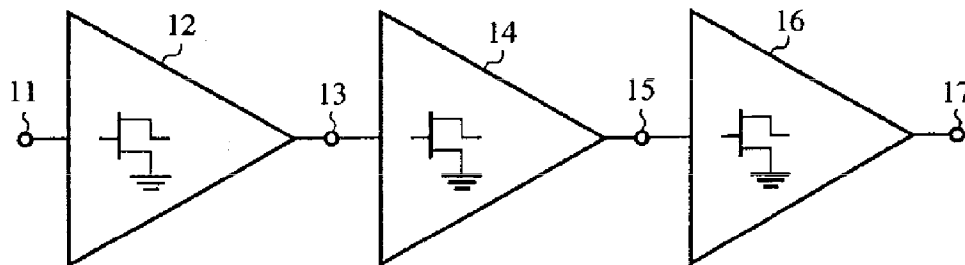
PCT

(10) 国際公開番号
WO 02/19518 A1

- (51) 国際特許分類⁷: H03F 1/02, 1/32 [JP/JP]. 池田幸夫 (IKEDA, Yukio) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/05799
- (22) 国際出願日: 2000 年 8 月 28 日 (28.08.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 森 一富 (MORI, Kazutomi) [JP/JP]. 新庄真太郎 (SHINJO, Shintarou)
- (74) 代理人: 田澤博昭, 外 (TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MULTISTAGE AMPLIFIER

(54) 発明の名称: 多段増幅器



(57) Abstract: The bias condition on one or more of the amplifiers except the last-stage amplifier is set in consideration of the relationship between the idle current and saturation current.

(57) 要約:

最終段以外の増幅器のうち、少なくとも 1 つ以上の増幅器のバイアス条件をアイドル電流と飽和電流の関係を考慮して設定する。



WO 02/19518 A1

明 細 書

多段増幅器

技術分野

この発明は、衛星通信、地上マイクロ波通信、移動体通信等に使用され、ひずみに対する仕様を満足する準線形の多段増幅器に関するものである。

背景技術

一般に、衛星通信、地上マイクロ波通信、移動体通信等に使用される多段増幅器は、デジタル変調方式が用いられることや、マルチキャリア共通増幅が行われることにより、低ひずみであることが求められる。

また、同時に増幅器は、無線機器の中で最も消費電力が大きい機器に属するため、高効率で低消費電力であることが求められる。そのため、ひずみ補償回路を用いて増幅器のひずみ特性を改善することにより、飽和領域近くでの動作を可能にして、高効率で動作させる必要がある。

第1図は例えば特開昭60-157305号公報に示された従来の多段増幅器を示す構成図であり、図において、1は入力端子、2は増幅器3のひずみを補償するひずみ補償回路、3は1段もしくは多段で構成される増幅器、4は出力端子、5は入力信号のひずみ量を調整するバイアス回路を内蔵した増幅器、6はアイドル電流 I_{d0} が $0.1 I_{dss} \sim 0.75 I_{dss}$ の範囲に設定されたガリウムヒ素(GaAs)電界効果トランジスタ(FET)である。ただし、 I_{dss} はGaAs FET 6の飽和電流である。7は入力信号の信号レベルを調整する減衰器である。

次に動作について説明する。

増幅器 3 により増幅される信号は、増幅器 3 の利得特性（AM-AM 特性）及び位相特性（AM-PM 特性）が非線形となることによってひずみが生じる。

増幅器 3 の AM-AM 特性は、入力電力又は出力電力に対して利得が減少し、AM-PM 特性は、入力電力又は出力電力に対して位相が進むのが一般的である。

したがって、増幅器 3 の AM-AM 特性及び AM-PM 特性と逆となるひずみ特性をひずみ補償回路 2 が発生できれば、入力信号のひずみを補償することができる。

ここで、第 2 図は AM-AM 特性及び AM-PM 特性のアイドル電流 I_{do} の依存性を示す説明図である。

第 2 図に示すように、バイアス条件を A 級から AB 級にすることにより、位相特性は出力電力に対して、進む特性から遅れる特性となることが分かる。

従来例においては、バイアス条件をアイドル電流 $I_{do} = 0.1 I_{dss} \sim 0.75 I_{dss}$ の範囲に設定している。アイドル電流 I_{do} の上限である $0.75 I_{dss}$ 以下においては、出力電力に対して位相が遅れる特性が得られる。一方、下限である $0.1 I_{dss}$ 以上では、利得特性が出力電力に対して利得が増加せず、ほぼ一定の特性が得られる。

したがって、バイアス条件をアイドル電流 $I_{do} = 0.1 I_{dss} \sim 0.75 I_{dss}$ の範囲に設定するバイアス回路を内蔵した増幅器 5 は、出力電力に対して利得がほぼ一定である AM-AM 特性と、位相特性が遅れる AM-PM 特性を有することになる。

よって、バイアス回路を内蔵した増幅器 5 を含むひずみ補償回路 2 は

、出力電力に対して利得がほぼ一定であって、位相特性が遅れる特性となるため、ひずみ補償対象の増幅器 3 の利得特性を劣化することなく、位相特性のみを改善することができる。

なお、ひずみ補償回路 2 に複数のバイアス回路を内蔵した増幅器 5 と減衰器 7 が含まれているので、ひずみ補償回路 2 の特性を、増幅器 3 の逆の特性となるように適宜調整することが可能である。

従来の多段増幅器は以上のように構成されているので、ひずみ補償回路 2 が減衰器 7 を含む関係上、ひずみ補償回路 2 が大型化し、また、ひずみ補償回路 2 の利得が低くなる課題があった。また、ひずみとして位相特性のみを改善しているため、利得特性まで含めた大きなひずみ補償効果を得ることができない課題があった。

この発明は上記のような課題を解決するためになされたもので、大型化や利得の減少を招くことなく、大きなひずみ補償効果を得ることができる多段増幅器を得ることを目的とする。

発明の開示

この発明に係る多段増幅器は、最終段以外の増幅器のうち、少なくとも 1 つ以上の増幅器のバイアス条件をアイドル電流と飽和電流の関係を考慮して設定するようにしたものである。

このことによって、大型化や利得の減少を招くことなく、大きなひずみ補償効果を得ることができる効果がある。

この発明に係る多段増幅器は、アイドル電流が飽和電流の 10 分の 1 未満になるように増幅器のバイアス条件を設定するようにしたものである。

このことによって、大きなひずみ補償効果を得ることができる効果がある。

この発明に係る多段増幅器は、最終段の増幅器のゲート幅と、アイドル電流が飽和電流の10分の1未満になるようにバイアス条件が設定された増幅器のゲート幅とが所定の条件を満足するように、その増幅器のゲート幅を設定するようにしたものである。

このことによって、高効率な低ひずみ多段増幅器を実現することができる効果がある。

この発明に係る多段増幅器は、最終段の増幅器のゲート幅を W_{gn} 、アイドル電流が飽和電流の10分の1未満になるようにバイアス条件が設定された i 段目の増幅器のゲート幅を W_{gi} 、 $(i+1)$ 段目の増幅器から最終段の増幅器までの利得を G とすると、下記の関係式を満足するように、 i 段目の増幅器のゲート幅を設定するようにしたものである。

$$\text{関係式： } W_{gi} > 2.4 \times W_{gn} / G$$

このことによって、多段増幅器の効率を高めることができる効果がある。

図面の簡単な説明

第1図は従来の多段増幅器を示す構成図である。

第2図はAM-AM特性及びAM-PM特性のアイドル電流 I_{do} 依存性を示す説明図である。

第3図はこの発明の実施の形態1による多段増幅器を示す構成図である。

第4図はAM-AM特性及びAM-PM特性のアイドル電流 I_{do} 依存性を示す説明図である。

第5図はひずみ補償の原理を説明する説明図である。

第6図は多段増幅器全体での利得特性及び位相特性とひずみ特性を示

す説明図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 3 図はこの発明の実施の形態 1 による多段増幅器を示す構成図であり、図において、11 は入力端子、12 は GaAs FET や HEMT (High Electron Mobility Transistor) などの増幅素子の他、ゲートバイアス回路、ドレインバイアス回路や整合回路などから構成される 1 段目増幅器、13 は 1 段目増幅器 12 と 2 段目増幅器 14 間の端子、14 は 1 段目増幅器 12 と同様の 2 段目増幅器、15 は 2 段目増幅器 14 と最終段増幅器 16 間の端子、16 は 1 段目増幅器 12 と同様の最終段増幅器である。

ただし、1 段目増幅器 12 のバイアス条件として、アイドル電流 I_{do} が飽和電流 I_{dss} の 10 分の 1 未満になるように設定されている。

次に動作について説明する。

第 4 図は AM-AM 特性及び AM-PM 特性のアイドル電流 I_{do} 依存性を示す説明図である。

測定した増幅素子はゲート幅 2.1 mm の GaAs HEMT であり、周波数 1.95 GHz において評価した結果である。その結果、アイドル電流を小さくして、 $I_{do} < 0.1 I_{dss}$ とすることにより、入力電力に対して利得が一旦増加したのち減少する利得特性が得られることが分かる。また、アイドル電流を小さくし、B 級動作に近づけることにより、入力電力に対して位相が遅れる位相特性が得られることも分かる。

したがって、1 段目増幅器 1 2 のバイアス条件として、アイドル電流 I_{do} を $0.1 I_{dss}$ 未満に設定すると、1 段目増幅器 1 2 は入力電力に対して、利得が一旦増加した後減少し、位相特性が遅れる特性が得られる。バイアス級を B 級に近づけるにしたがって、上記の特性が得られる原因は以下の通りである。

バイアス条件が A 級の場合には、相互コンダクタンス g_m が入力電力に対して単調に減少するため利得が単調に減少するが、バイアス条件が B 級に近づくと、トランジスタの相互コンダクタンス g_m が一旦増加した後減少するため、利得も一旦増加した後減少する特性となる。

次に、1 段目増幅器 1 2 のバイアス条件をアイドル電流 $I_{do} < 0.1 I_{dss}$ とすることにより、最終段増幅器 1 6 のひずみを補償できる原理について説明する。

まず、入力電力、出力電力、利得及び位相を第 5 図 (a) のように定義する。1 段目増幅器 1 2 の入力電力を P_{in1} 、出力電力を P_{out1} 、利得を $Gain1$ 、位相を $Phase1$ とする。2 段目増幅器 1 4 の入力電力を P_{in2} 、出力電力を P_{out2} 、利得を $Gain2$ 、位相を $Phase2$ とする。最終段増幅器 1 6 の入力電力を P_{in3} 、出力電力を P_{out3} 、利得を $Gain3$ 、位相を $Phase3$ とする。多段増幅器全体の入力電力を P_{in} 、出力電力を P_{out} 、利得を $Gain$ 、位相を $Phase$ とする。

多段増幅器の利得は $Gain = Gain1 \times Gain2 \times Gain3$ で与えられ、位相は $Phase = Phase1 + Phase2 + Phase3$ で与えられる。

第 3 図 (b-1) は 1 段目増幅器 1 2 のバイアス条件が $I_{do} > 0.75 I_{dss}$ の場合の利得特性と位相特性を示し、第 3 図 (b-2) は 1 段目増幅器 1 2 のバイアス条件が $I_{do} = 0.1 \sim 0.75 I_{dss}$

の場合の利得特性と位相特性を示し、第3図(b-3)は1段目増幅器12のバイアス条件が $I_{do} < 0.1 I_{dss}$ の場合の利得特性と位相特性を示している。なお、図中、1点鎖線は各段増幅器の動作出力レベルを示している。

ひずみ特性に対する仕様がある多段増幅器においては、一般的に2段目増幅器14の動作レベルは(第5図(c)を参照)、最終段増幅器16の動作レベルと比較して(第5図(d)を参照)、2段目増幅器14でのひずみが最終段増幅器16のひずみよりも小さくなるようにバックオフを多くしている。通常は2~3 dB程度バックオフを大きくしている。

1段目増幅器12のバイアス条件は、一般的には最終段増幅器16と同じバイアス条件となるため、第5図(b-1)のようになる。2段目増幅器14の場合と同様に1段目増幅器12の動作レベルは、最終段増幅器16の動作レベルと比較して、バックオフを多くしている。

次に、上述した従来例(ひずみ補償回路)のバイアス条件の場合は第3図(b-2)となる。入力電力に対して利得特性がほぼ一定で推移した後、飽和により利得が減少する。位相特性は入力電力に対して位相が遅れる特性を有している。

最後に、第3図(b-3)はこの実施の形態1の場合における1段目増幅器12のバイアス条件である。1段目増幅器12の特性は、入力電力に対して利得が一旦増加した後減少し、位相が遅れる特性を有する。1段目増幅器12の動作レベルはいずれの場合も利得が減少する点よりも小さいレベルに設定される。

第6図(a)は1段目増幅器12が上記バイアス条件の場合における多段増幅器全体での利得特性と位相特性を示し、第6図(b)は相互変調ひずみ(IMD: Inter Modulation Distor

tion) や隣接チャンネル漏洩電力 (ACPR: Adjacent Channel Leakage Power Ratio) や NPR (Noise Power Ratio) 等のひずみ特性を模式的に示している。

図において、実線は 1 段目増幅器 12 のバイアス条件が $I_{do} > 0.75 I_{dss}$ の場合、破線は $I_{do} = 0.1 \sim 0.75 I_{dss}$ の場合、点線は $I_{do} < 0.1 I_{dss}$ の場合である。

まず、従来例の場合 (破線の $I_{do} = 0.1 \sim 0.75 I_{dss}$ の場合) について説明する。

第 6 図 (a) より、利得特性は通常の実線の場合と比較して変っていないが、位相特性は 1 段目増幅器 12 によってひずみ補償が実施され、位相特性が改善されていることが分かる。このことより、ひずみの特性としては第 6 図 (b) に示すように、出力電力に対して広いダイナミックレンジに渡って改善されていることが分かる。

第 6 図 (b) において、ひずみ特性に対する仕様値を 1 点鎖線の水平線で表すと、1 点鎖線の垂直線で表したひずみ特性を満足した出力動作レベルが大きくなることが分かる。

以上より、1 段目増幅器 12 のアイドル電流を $I_{do} = 0.1 \sim 0.75 I_{dss}$ とすることにより、位相特性のみを改善するひずみ補償を行うことができる。

次に、この実施の形態 1 の場合 (点線の $I_{do} < 0.1 I_{dss}$ の場合) について説明する。

第 6 図 (a) より、位相特性は $I_{do} = 0.1 \sim 0.75 I_{dss}$ の場合と同様に 1 段目増幅器 12 によってひずみ補償が実施され、位相特性が改善されていることが分かる。利得特性については、動作レベルにおいて、1 段目増幅器 12 が出力電力に対して利得が増加する特性を有

するため、動作レベル付近である利得が減少に転じる変曲点は、通常の実線の場合と比較して出力レベルが大きい方へ移動している。したがって、利得特性についても、動作レベルにおいてはひずみ補償が実施され、改善されていることが分かる。ただし、出力レベルが小さいレベルにおいては、逆に利得が増加する特性となるため、利得特性のひずみが劣化している。

第6図(b)に示すひずみ特性で考察すると、ひずみ特性に対する仕様値を1点鎖線の水平線で表すと、1点鎖線の垂直線で表したひずみ特性を満足する出力動作レベルは、通常の $I_{dss} > 0.75 I_{dss}$ の場合及び従来例の場合の $I_{do} = 0.1 \sim 0.75 I_{dss}$ の場合と比較して大きくなることが分かる。

したがって、従来例の場合よりも更にひずみが補償されていることが分かる。一方、出力レベルが小さい場合には、ひずみ特性は通常の場合と比較して劣化しているが、ひずみ特性の仕様値は満足している。よって、出力レベルが小さい場合に、ひずみ特性の仕様値は満足する範囲で、1段目増幅器のバイアス条件を $I_{do} < 0.1 I_{dss}$ とすることにより、位相特性だけでなく、利得特性も同時にひずみ補償することができ、さらに低ひずみな特性を実現することが可能である。

また、この構成においては減衰器等を必要とせず、通常が多段増幅器と同じ構成でバイアス条件のみが変化しているため、小型のひずみ補償回路を実現することができる。また、各段の増幅器の利得を減少することなく活用することが可能である。

なお、この実施の形態1の低ひずみ多段増幅器は、3段増幅器の場合であり、かつ、1段目増幅器のみバイアス条件を $I_{do} < 0.1 I_{dss}$ とするものについて示したが、増幅器の段数は3段に限らず、また、バイアス条件を $I_{do} < 0.1 I_{dss}$ とする増幅器も1段目に限らず

、また、複数段に対して設定しても同様の効果が得られる。

実施の形態 2 .

上記実施の形態 1 では、1 段目増幅器 1 2 のトランジスタのゲート幅 $W g 1$ については特に言及していないが、最終段増幅器 1 6 のトランジスタのゲート幅 $W g 3$ との関係で下記のように設定してもよい。

$$W g 1 > 2 . 4 \times W g 3 / (G a i n 2 \times G a i n 3)$$

具体的には次の通りである。

バイアス条件が $I d o < 0 . 1 I d s s$ に設定された 1 段目増幅器 1 2 の動作レベルは、通常の場合と同様に最終段増幅器 1 6 の動作レベルと比較して、3 d B 程度バックオフを多くしたレベルに設定される。

しかし、バイアス条件が $I d o < 0 . 1 I d s s$ に設定された場合には、通常のバイアス条件の場合と比較して、飽和出力電力が 1 d B 程度減少してしまう。そのため、 $I d o < 0 . 1 I d s s$ に設定された 1 段目増幅器 1 2 において、 $I d o > 0 . 7 5 I d s s$ の場合と同じバックオフを維持するためには、通常のバイアス条件の場合と比較して、1 d B 程度大きなゲート幅のトランジスタを用いる必要がある。

通常のバイアス条件の 1 段目増幅器 1 2 のトランジスタのゲート幅は、最終段増幅器 1 6 のトランジスタのゲート幅を $W g 3$ とした場合、2 段目増幅器 1 4 以降の利得は $G a i n 2 \times G a i n 3$ であるため、 $W g 1 > 2 \times W g 3 / (G a i n 2 \times G a i n 3)$ で与えられる (3 d B は 2 倍である)。したがって、 $I d o < 0 . 1 I d s s$ に設定された場合には、さらに 1 . 2 倍 (1 d B は 1 . 2 倍である) した、 $W g 1 > 2 . 4 \times W g 3 (G a i n 2 \times G a i n 3)$ とすれば、1 段目増幅器 1 2 の動作レベルは十分なバックオフを有したレベルとなるため、最終段増幅器 1 6 をひずみ補償し、ひずみ特性を改善することが可能となる。

これにより、さらに低ひずみな特性を実現し、高効率な低ひずみ多段増幅器を実現することができる。また、この構成においては減衰器等を必要とせず、通常の多段増幅器と同じ構成でバイアス条件のみが変化しているため、小型のひずみ補償回路を実現することができる。また、各段の増幅器の利得を減少することなく活用することが可能である。

なお、この実施の形態 2 の低ひずみ多段増幅器は、3 段増幅器の場合であり、かつ、1 段目増幅器 12 のみバイアス条件を $I_{d0} < 0.1 I_{dss}$ とし、ゲート幅を $W_{g1} > 2.4 \times W_{g3} / (Gain_2 \times Gain_3)$ としたものについて示したが、増幅器の段数は 3 段に限らず、また、バイアス条件及びゲート幅を上記設定とする増幅器も 1 段目に限らず、また、複数段に対して設定しても同様の効果が得られる。

産業上の利用可能性

以上のように、この発明に係る多段増幅器は、大きなひずみ補償効果を得ることが必要な衛星通信、地上マイクロ波通信、移動体通信などに用いるのに適している。

請 求 の 範 囲

1. 複数の増幅器が直列に接続されている多段増幅器において、最終段以外の増幅器のうち、少なくとも1つ以上の増幅器のバイアス条件をアイドル電流と飽和電流の関係を考慮して設定することを特徴とする多段増幅器。

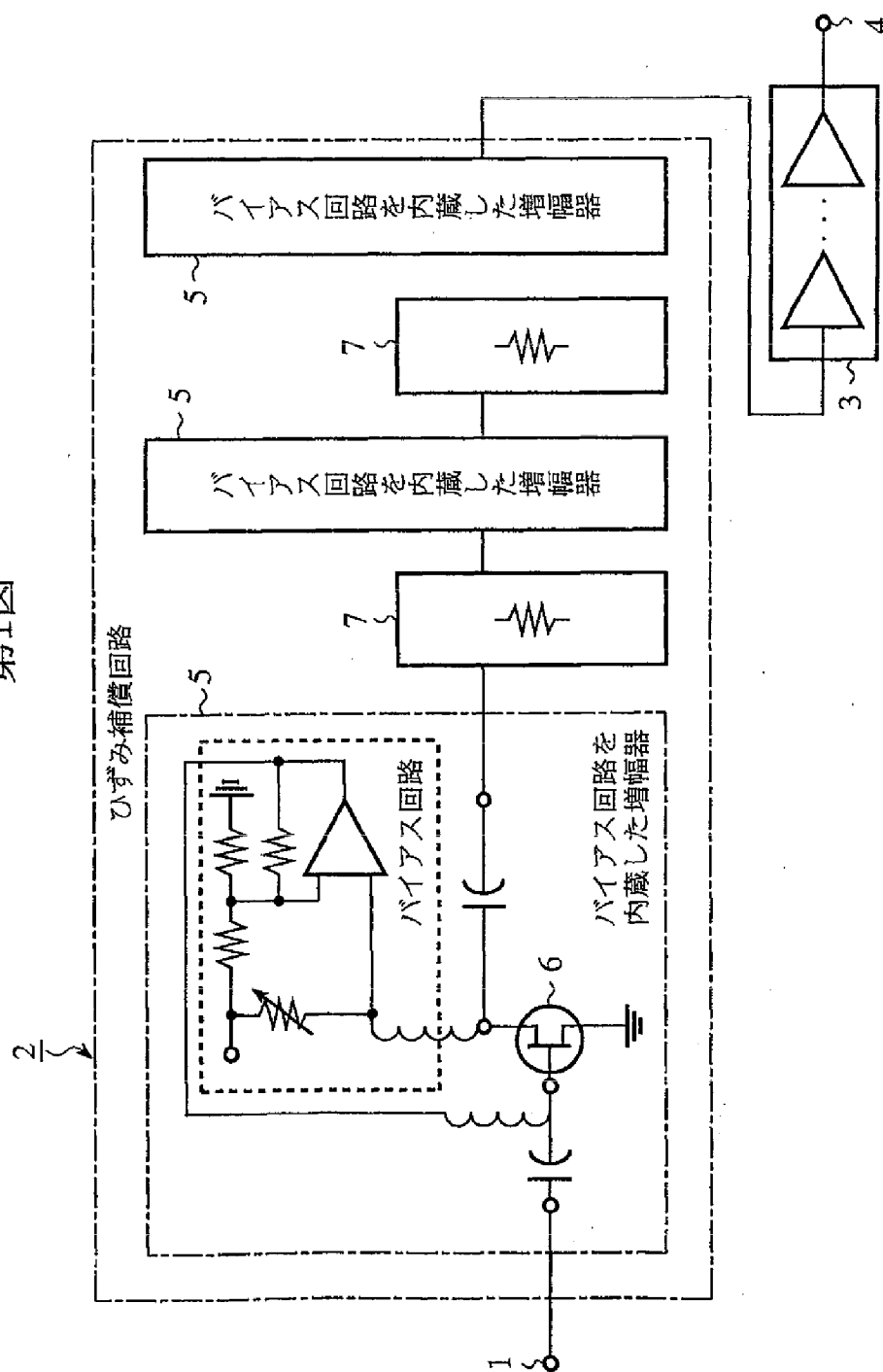
2. アイドル電流が飽和電流の10分の1未満になるように増幅器のバイアス条件を設定することを特徴とする請求の範囲第1項記載の多段増幅器。

3. 最終段の増幅器のゲート幅と、アイドル電流が飽和電流の10分の1未満になるようにバイアス条件が設定された増幅器のゲート幅とが所定の条件を満足するように、その増幅器のゲート幅を設定することを特徴とする請求の範囲第2項記載の多段増幅器。

4. 最終段の増幅器のゲート幅を W_{gn} 、アイドル電流が飽和電流の10分の1未満になるようにバイアス条件が設定された i 段目の増幅器のゲート幅を W_{gi} 、 $(i+1)$ 段目の増幅器から最終段の増幅器までの利得を G とすると、下記の関係式を満足するように、 i 段目の増幅器のゲート幅を設定することを特徴とする請求の範囲第3項記載の多段増幅器。

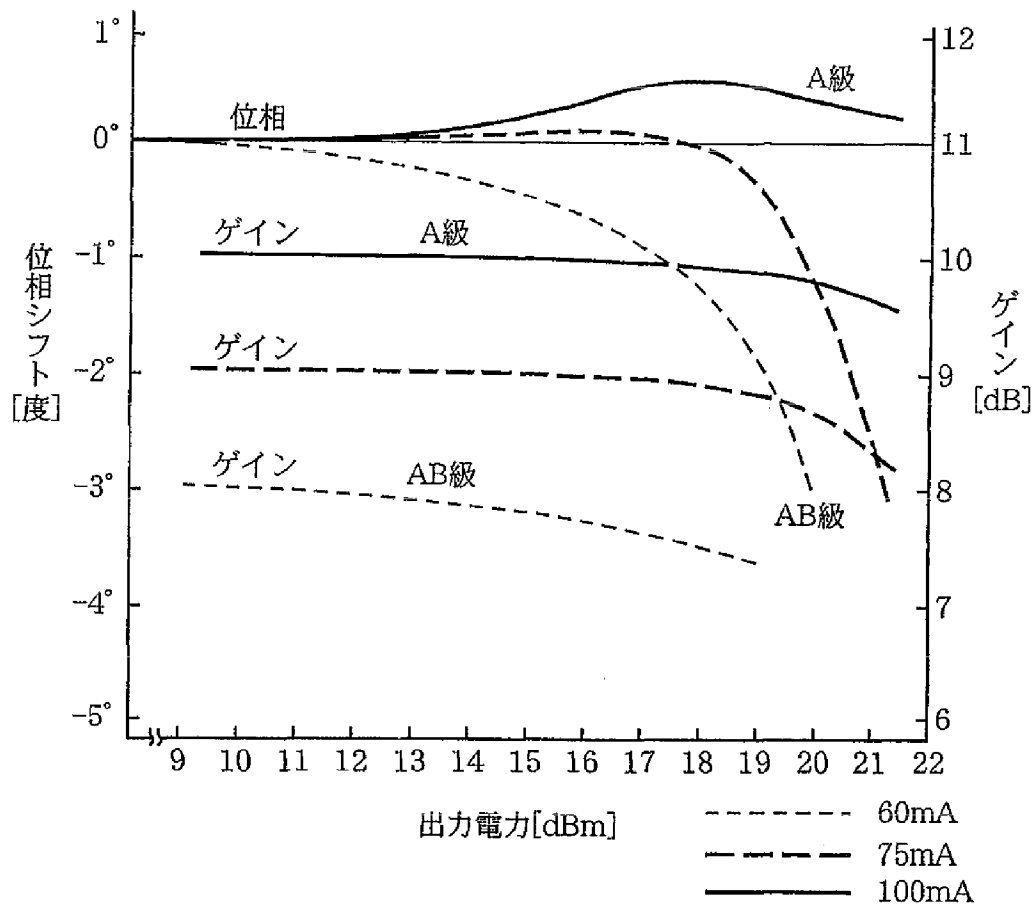
$$\text{関係式： } W_{gi} > 2.4 \times W_{gn} / G$$

圖
第 I

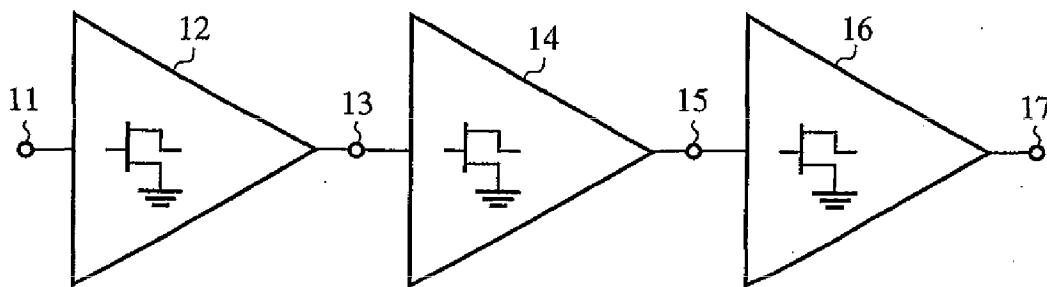


2/5

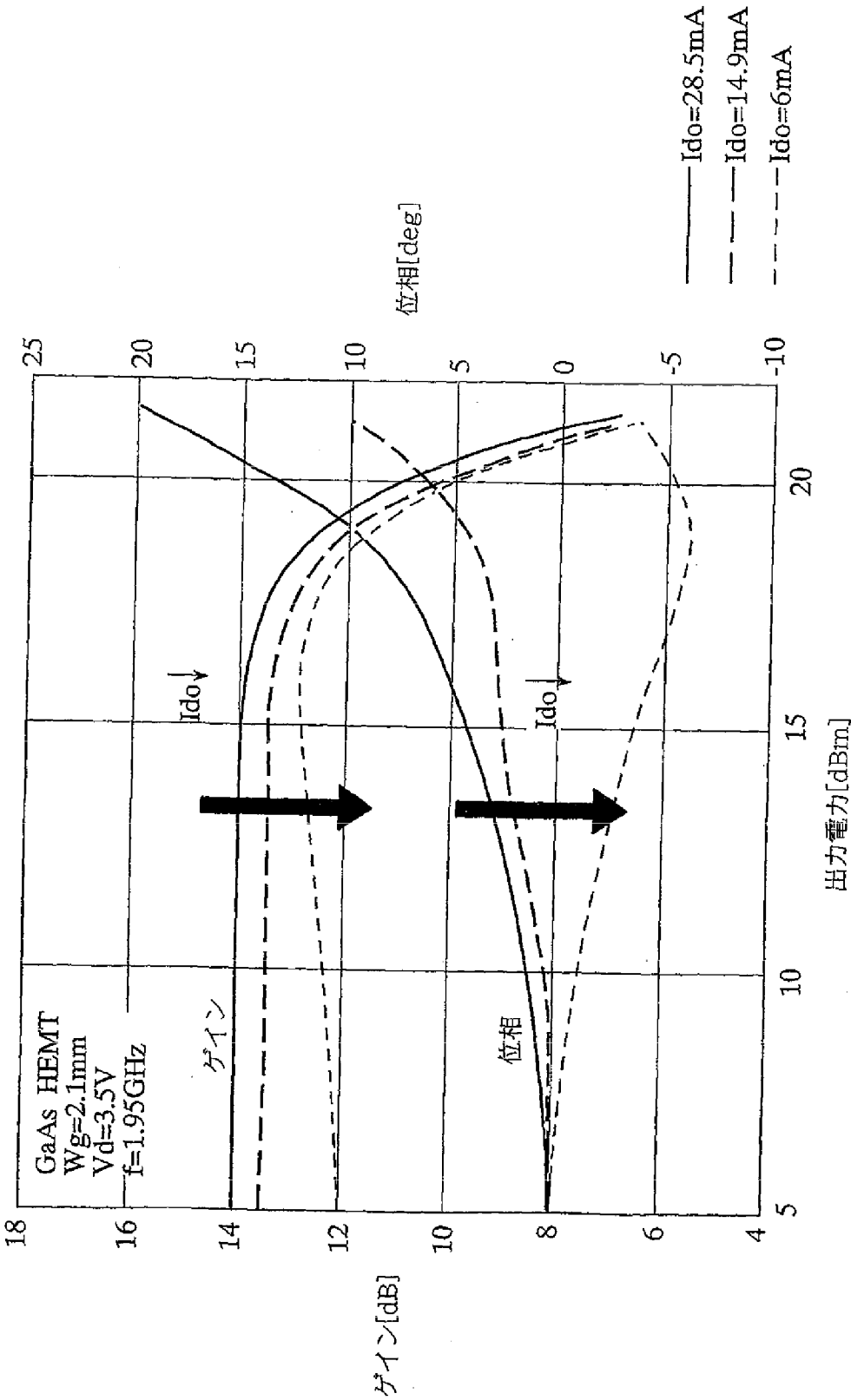
第2図



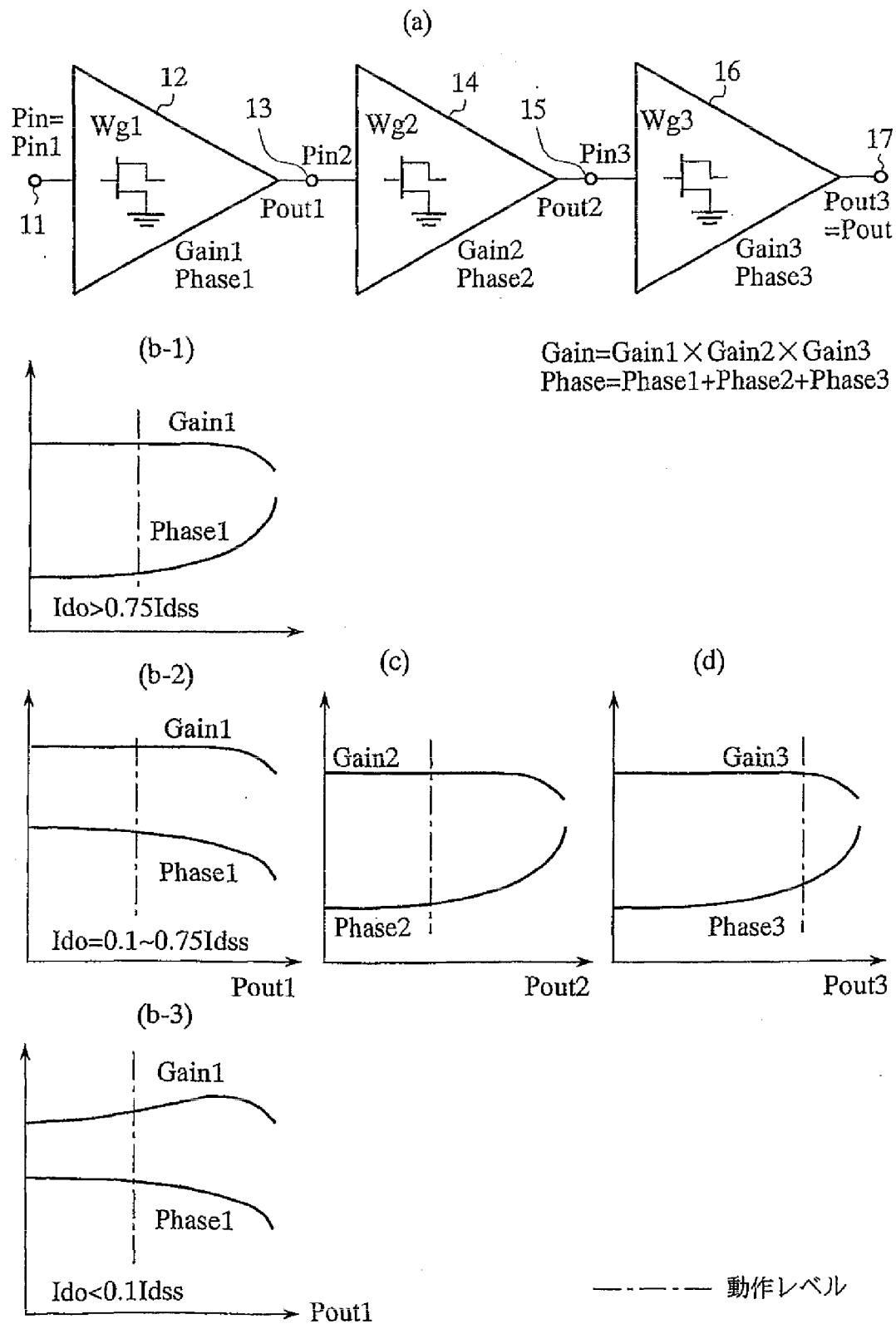
第3図



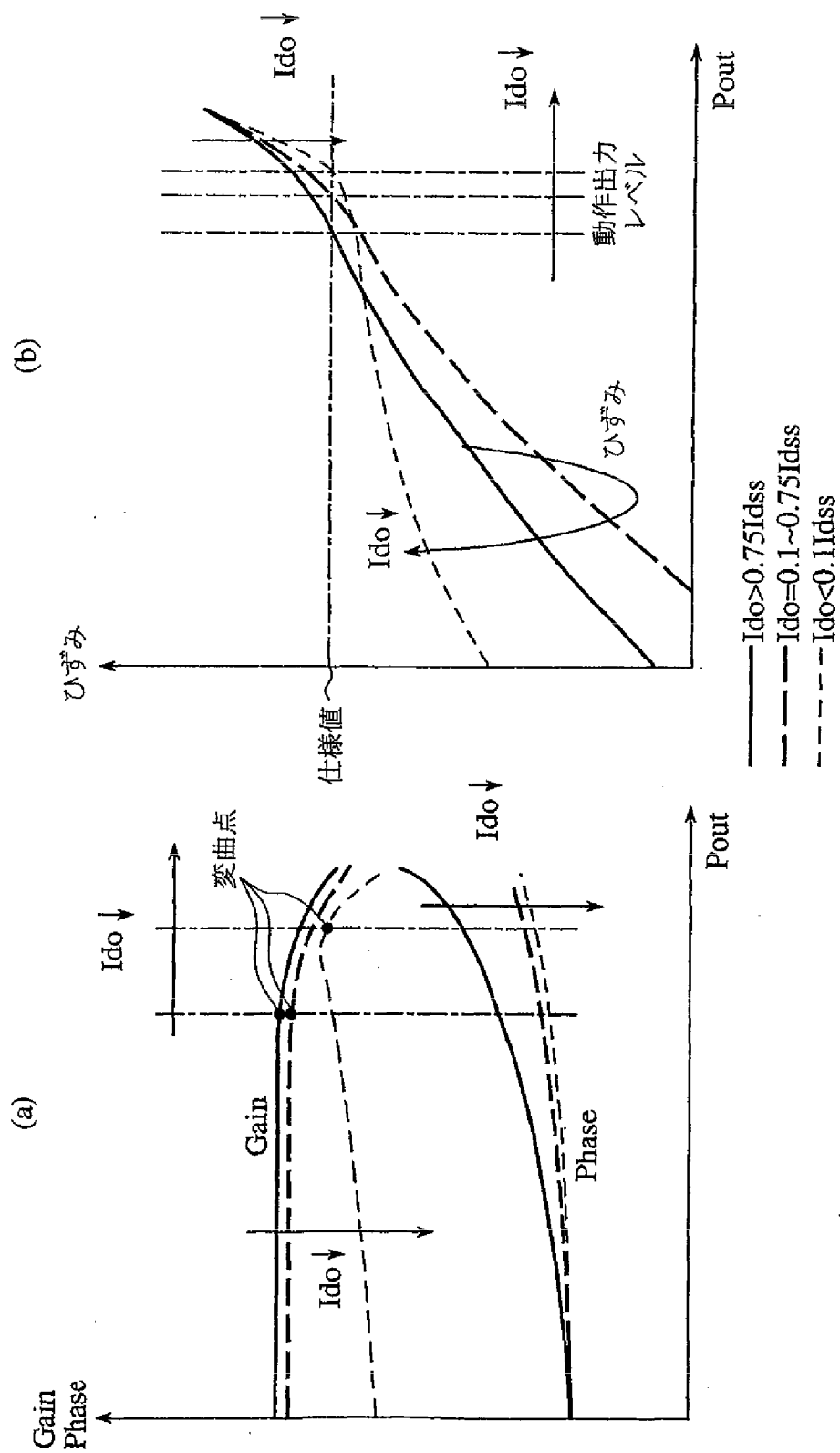
第4図



第5図



第6圖



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05799

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03F1/02, H03F1/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03F1/02-1/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched.
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 4532477 A (AT&T Bell Laboratories), 30 July, 1985 (30.07.85) & JP 60-157305 A & CA 1201492 A	1 2
X A	JP 6-69731 A (Mitsubishi Electric Corporation), 11 March, 1994 (11.03.94) (Family: none)	1, 2 3
X A	JP 7-245529 A (Nippon Telegr. & Teleph. Corp. <NTT>), 19 September, 1995 (19.09.95) (Family: none)	1 2
Y A	JP 2000-183663 A (NEC Corporation), 30 June, 2000 (30.06.2000), (Family: none)	1-3 4
Y	US 5815038 A (Mitsubishi Denki Kabushiki Kaisha), 29 September, 1998 (29.09.98) & DE 19616803 A & FR 2733646 A & JP 09-162656 A	1-2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 September, 2000 (21.09.00)

Date of mailing of the international search report
03 October, 2000 (03.10.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H03F1/02, H03F1/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H03F1/02-1/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国実用新案登録公報 1996-2000年

日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u> Y	US, 4532477, A (AT&T Bell Laboratories) 30. 7 月. 1985 (30. 07. 85) & JP, 60-157305, A&CA, 1201492, A	<u>1</u> 2
<u>X</u> A	JP, 6-69731, A (三菱電機株式会社) 11. 3月. 19 94 (11. 03. 94), ファミリーなし	<u>1, 2</u> 3
<u>X</u> A	JP, 7-245529, A (日本電信電話株式会社) 19. 9 月. 1995 (19. 09. 95), ファミリーなし	<u>1</u> 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21. 09. 2000

国際調査報告の発送日

03. 10. 00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

矢島 伸一



5T

3053

電話番号 03-3581-1101 内線 3568

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>Y</u> A	JP, 2000-183663, A (日本電気株式会社) 30. 6月. 2000 (30. 06. 2000), ファミリーなし	<u>1-3</u> 4
Y	US, 5815038, A (Mitsubishi Denki Kabushiki Kaish a) 29. 9月. 1998 (29. 09. 98) &DE, 1961 6803, A&FR, 2733646, A&JP, 09-1626 56, A	1-2